

⑫ 公開特許公報(A)

平3-14241

⑬ Int. Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)1月22日

H Q1 L 21/336
21/76
29/784

L 7638-5F

8422-5F H 01 L 29/78 3 0 1 P

審査請求 未請求 請求項の数 1 (全4頁)

⑮ 発明の名称 半導体装置の製造方法

⑯ 特 願 平1-151414

⑰ 出 願 平1(1989)6月13日

⑱ 発 明 者 馬 場 智 也 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社
内

⑲ 出 願 人 シャープ株式会社 大阪府大阪市阿倍野区長池町22番22号

⑳ 代 理 人 弁理士 野河 信太郎

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

1. シリコン基板上の少なくとも不純物拡散層上に自己整合的にシリサイド膜を形成するに際して、

シリコン基板上に素子分離用の溝を形成し、その溝に酸化シリコンを埋設して素子分離部を形成し、続いて、シリコン基板表面に熱酸化によって酸化シリコンのゲート酸化膜を形成した後、シリコン基板上にゲート酸化膜を介して不純物を注入し、不純物拡散層を上記素子分離部の周囲に形成し、次に、少なくとも不純物拡散層表面が露出するようゲート酸化膜を除去し、しかる後、不純物拡散層の露出面上に選択的にシリサイド膜を形成することを特徴とする半導体装置の製造方法。

3. 発明の詳細な説明

(イ) 産業上の利用分野

この発明は半導体装置の製造方法に関し、更に

詳しくは半導体基板の拡散層上に選択的にシリサイド膜を形成するようにした半導体装置の製造方法に関するものである。

(ロ) 従来の技術

一般に、LSIの高集積化によりトランジスタは、より微細化され、ゲート電極の配線抵抗、上層配線とのコンタクト抵抗およびソース/ドレインの拡散層での拡散抵抗が高くなり、微細トランジスタの駆動力の低下が問題となってきた。

そのため、上記各抵抗を低下させる手段としてゲート多結晶シリコン上および拡散層上にシリサイド膜を自己整合的に形成する技術が検討されている。

第2図は素子の分離にLOCOS法を用いた従来例を示す。

すなわち、第2図(a)に示すように、シリコン基板1上にSiO₂のLOCOS酸化膜2aおよびゲート酸化膜2bが形成され、LOCOS酸化膜2aをマスクにしてBF₃が注入されて拡散層3が形成され、続いて、両酸化膜2a、2bを所

定厚だけ除去して拡散層3の表面を露出し〔第2図(b)参照〕、次に、全面にTi膜5を形成し〔第2図(c)参照〕、しかる後、所定の雰囲気中で熱処理を付して拡散層3の上にTiSi₂膜7を形成する〔第2図(d)参照〕。

(ハ) 発明が解決しようとする課題

しかし、LOCOS法による素子分離を用いた場合、LOCOS酸化膜2はテーパー状であるから、表面のSiO₂膜を除去する際に、第2図(b)に示すように、オーバーエッチ量Aに対してLOCOS端部での分離端において接合深さがA/cosθ分だけ浅くなる。そのため、この上にシリサイド膜を形成すると、接合のリークが発生するおそれがあり、しかも低抵抗化のためにシリサイド膜を厚くするのは難しい。

また、拡散層の表面積の縮小化に伴い、拡散層上に直接上層配線とコンタクトをとる場合、アライメントマージンからの制限より、コンタクト径が小さくなるおそれがある。

この発明は、拡散層上にシリサイド膜を形成す

るに際して、素子分離端の分離端において、接合のリークが発生するのを防止できる半導体装置の製造方法を提供することを目的の一つとするものである。

(ニ) 課題を解決するための手段および作用

この発明は、シリコン基板上の少なくとも不純物拡散層上に自己整合的にシリサイド膜を形成するに際して、シリコン基板上に素子分離用の溝を形成し、その溝に酸化シリコンを埋設して素子分離部を形成し、続いて、シリコン基板表面に熱酸化によって酸化シリコンのゲート酸化膜を形成した後、シリコン基板上にゲート酸化膜を介して不純物を注入し、不純物拡散層を上記素子分離部の周囲に形成し、次に、少なくとも不純物拡散層表面が露出するようゲート酸化膜を除去し、しかる後、不純物拡散層の露出面上に選択的にシリサイド膜を形成することを特徴とする半導体装置の製造方法である。

すなわち、この発明は、シリコン基板上に形成された不純物拡散層上に選択的にシリサイド膜を

-3-

形成するに際して、不純物拡散層と接合される素子分離部を、シリコン基板上に溝を形成した後、その溝にSiO₂を埋設して形成するようにしたので、素子分離部上面から不純物拡散層表面に至るゲート酸化膜を水平な積層膜に形成でき、これによりゲート酸化膜を分離端の領域においても接合深さを均一にして除去でき、拡散層厚を分離端近傍でも従来法と比較して薄くすることなく拡散層の表面を露出できる。その結果、拡散層上にシリサイド膜を形成しても接合のリークが発生するおそれを軽減でき、しかもシリサイド膜を厚く形成できて拡散抵抗を低減できる。

また、シリサイド膜表面から素子分離部表面にわたるコンタクト領域を確保でき、コンタクト形成時のアライメントマージンを大きくできる。

この発明において、素子分離部は、素子分離部形成領域にRIBで溝を開けた後にCVD法で酸化シリコンを埋設して形成される。

この発明において、不純物拡散層は、シリサイド膜を形成する前に不純物としてドーパントをイ

-4-

オン注入して形成される。

そして、上記シリサイド膜を形成する際に、素子分離部のSiO₂膜上に形成された、例えば、窒化チタンをバクーニングしてそこで上層配線とコンタクトが形成される。

この発明におけるシリサイド膜として、Ti、Co、Ta、Ptなどのメタルが使用される。

(ホ) 実施例

以下図に示す実施例に基づいてこの発明を詳述する。なお、これによってこの発明は限定を受けるものではない。

第1図(d)において、DP₁'の高濃度P型不純物拡散層3およびポリSiのゲート電極4を有するシリコン基板1上に、拡散層3の周辺を基板1の表面に形成された溝1aと溝に埋設されたSiO₂からなる素子分離部20が配設され、拡散層表面およびゲート電極4上にはTiSi₂のシリサイド膜6が配設されている。

また、ゲート電極4には、下面および側壁にそれぞれSiO₂のゲート酸化膜2aおよびサイド

ウオール2bが形成されている。

そして、全面にCVD法によって SiO_x の層間絶縁膜8が形成されるとともに、ゲート電極4とのコンタクトホール10を介して $Al-Si$ の上層配線9がシリサイド膜6と接続され、不純物拡散層3と上層配線9のコンタクトは、素子分離部20の表面および不純物拡散層3上のシリサイド膜6の表面にまたがる領域に配設された TiN 膜7と、コンタクトホール11を介しておこなわれる。

以下製造方法について説明する。

LED型のトランジスタを製造するには、まず、シリコン基板1上に素子分離用の溝1aを形成し、その溝に酸化シリコンを埋設して素子分離部20を形成し、続いて、シリコン基板1の表面に熱酸化によって酸化シリコンのゲート酸化膜2aを形成した後この上に酸化シリコン2bで覆われたポリシリコンのゲート電極部4を形成し、その後、ゲート電極部4をマスクにしてシリコン基板1上に BP^+ をイオン注入して P^+ 拡散層3および P^+

拡散層3aを上記素子分離部20で包囲して形成し〔第1図(a)参照〕、次いで、酸化シリコンの選択エッチングをおこなって不純物拡散層3上およびゲート電極部4上面の酸化シリコン膜を除去し〔第1図(b)参照〕、続いて、全面に Ti 膜を積層した後(図示せず)、 N_2 ガス雰囲気中で、 $650^\circ C$ で熱処理を付して不純物拡散層3およびゲート電極部4上に自己整合的に $TiSi_2$ のシリサイド膜6を形成し、続いて上記 N_2 ガスと Ti が反応してなる酸化シリコン膜上の TiN の導電膜のうち、パターニングによって、素子分離部20上の導電膜部分7のみを、不純物拡散層3上のシリサイド膜6と接続するよう残存させ〔第1図(c)参照〕、しかる後、全面にCVD法によって SiO_x の層間絶縁膜8を形成した後、上記導電膜部分7上およびゲート電極部4上の層間絶縁膜8を開口してコンタクトホール11、10を形成し、続いて、各コンタクトホール11、10を介して $Al-Si$ の上層配線9を形成する〔第1図(d)参照〕。

-7-

このように本実施例では、素子分離部20の分離近傍の拡散層3でも、その層厚は他の拡散層部分と変わらず、逆バイアス印加時の接合リーク電流を低減できる。また、拡散層3上から素子分離部20上にわたり TiN 膜7を残存させることにより、拡散層3上のみならず広い領域で上層配線7とのコンタクト領域を確保できるとともに、コンタクトホール11を形成する際に、コンタクトエッチにおけるオーバーエッチにも余裕ができる。しかも同じ大きさのコンタクト径を用いる場合、下部コンタクト面積が大きくなるため、コンタクト・フォトリソ時のアライメントマージンをゆるくできる。

(へ) 発明の効果

以上のようにこの発明によれば、半導体集積回路のシリサイド膜を有する半導体装置において、シリコン酸化膜により素子分離された、浅い拡散層上にシリサイド膜を接合リークを発生させることなく形成でき、厚いシリサイド膜を積層できて拡散抵抗を低減できる。また、素子分離部に同

-8-

時形成された導電膜上にコンタクトを形成できてコンタクト形成時のマージンを大きくできる。

4. 図面の簡単な説明

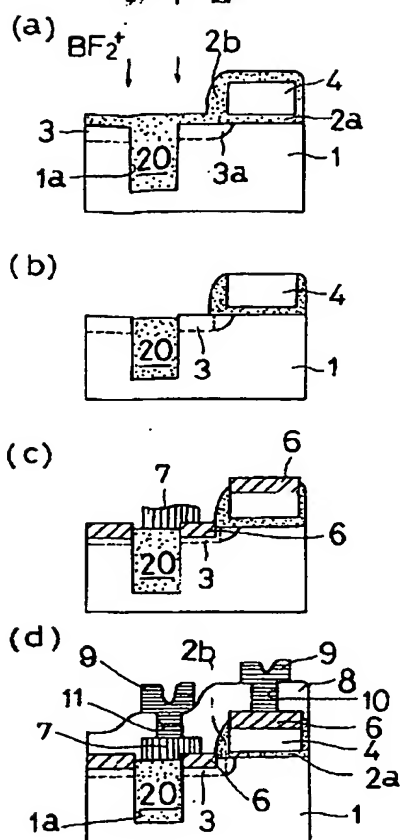
第1図はこの発明の一実施例を説明するための製造工程説明図、第2図は従来例を示す製造工程説明図である。

- 1……シリコン基板、 1a……溝
- 2a……ゲート酸化膜、
- 3…… P^+ 拡散層、
- 6…… $TiSi_2$ のシリサイド膜、
- 11……コンタクトホール、
- 20……素子分離部。

代理人 弁理士 野 河 信太



第 1 頁



第 2 章

